

基于软件无线电的无线信号记录仪

李佐昭, 张 春, 谢 拓

(清华大学 微电子研究所, 北京 100084)

摘 要: 以虚拟仪器概念为基础、结合微电子技术和计算机技术, 利用 NI 公司的高速采集板卡 5622、FPGA 和计算机实现。测试结果表明, 可以长时间记录高采样率下的无线信号; 实时解调和信号处理的功能可以在很短时间内得出信号质量的相关信息, 进而判断信号源的工作状态。可用于无线通信设备的测试, 能够简化测试过程, 节省人力。

关键词: 虚拟仪器; 信号记录; 解调; 高速处理

中图分类号: TN402

文献标识码: A

文章编号: 1000-7180(2014)12-0123-05

Wireless Signal Recorder Based on Software Radio

LI Zuo-zhao, ZHANG Chun, XIE Tuo, WANG Zhi-hua

(Institute of Microelectronics, Tsinghua University, Beijing 100084, China)

Abstract: Laying the foundation on the virtual instrument technology, combining the microelectronics technology and the computer technology, which can take samples continuously is composed from a PXI-E5622 ADC, a virtex5 FPGA and a computer. The test result shows that it can record wireless signals under high sample rate. Owing to the function of demodulation, it's easy to get to know the quality of the signal and to judge the working state of the signal source. Surely will simplify the wireless testing process and save manual labor when used in the test of wireless communication equipments.

Key words: virtual instrument; signal recorder; demodulation; high-speed dispose

1 引言

信号记录仪通常与传感器或其他信号接收装置配合工作, 将外界模拟信号转换为数字信号并存储。通过信号记录仪, 获取某些实验数据变得非常简单, 可以节省大量人力。

基于上述应用背景, 本文以虚拟仪器技术为基础, 结合微电子与计算机技术, 设计并实现了一个可以长时间记录无线信号的信号记录仪^[1]。

2 信号记录仪系统结构与功能

本信号记录仪的系统结构如图 1 所示, 主要由计算机、高速采样板卡和 FPGA 组成。实现功能主要分为两个部分: 信号的实时处理和后处理。其中实时处理主要由 FPGA 实现; 后处理则在 PC 端通过

软件完成。

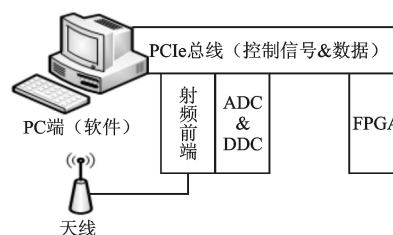


图 1 信号记录仪系统结构

无线信号首先通过天线进入 NI 公司的高速采集板卡完成信号从模拟到数字的转换。然后利用 FPGA 的高速处理功能进行信号的实时处理, 实现触发和解调。每次触发的系统时间将会被记录下来, 时间分辨率为 10 ns。

原始波形数据、解调后的码以及每次触发的时

间将会从 FPGA 中送回主机,进行存储和后处理.除了图像显示,硬盘中还将生成一个 TDMS 格式的文件,这个文件中记录着所有关于接收到的无线信号的信息.同时系统集成了频谱分析、星座图、眼图等工具,在信号的实时采集过程结束后,可以根据时间索引调出对应信号段进行进一步分析.也可以通过 MATLAB 等其他软件来处理记录下来的文件.

上述各部分之间通过 PCI-E 总线传输控制命令和数据^[2].

3 无线信号记录仪

3.1 硬件部分

3.1.1 高速数据流的硬件支持

信号记录仪基于 NI 的模块化仪器构建,除了计算机以外还要使用高速采集板卡和 FPGA 做数据实时处理.为了实时记录高采样率下的无线信号,数据流从采集板卡到 FPGA 再到主机存储的整个过程均需要有很高的速率.

为了实现高速数据传输,选用 PXI-5622 板卡完成采集,其采样率可达 150 MS/s,16 位分辨率,250 MHz 带宽.实时信号处理使用 Virtex-5 SX95T FPGA, 512 MB 板载 DDR2 DRAM,可访问的 132 条单端 I/O 线,DMA 通道速率超过 800 MB/s 的高速数据流.

主机端为了加快数据流盘的速率,除了采用高速的 TDMS 格式组织数据之外,在硬件上也采用了固态硬盘来提高存储速度.虽然固态硬盘写入次数有限,但是流盘速度可以得到显著的提升.采用闪存作为存储介质的固态硬盘结构比较简单,主要由控制芯片、缓存芯片和用于存储数据的闪存芯片构成.其读取速度相对机械硬盘更快^[3].固态硬盘的使用提升了系统所能支持的最高采样率,实验证明在采样率 150 MS/s 时可以连续流盘达 1 s 以上.

3.1.2 FPGA 高速数据传输

FPGA 与信号采集板卡之间通过点对点数据流(P2P)技术传输数据.P2P 网络中各 Peer 节点的地位都是对等的,充当服务器为其他节点提供服务的同时也享用其他节点提供的服务,通过节点之间的直连交换数据,可以极大减轻服务器的工作负荷.本信号记录仪中,使用 PCI Express 接口在 FPGA 与信号采集板卡之间直连,点对点传输,而不通过主处理器或存储器,以加快数据流的高速传输.可以实现单个方向超过 1.6 GB/s 的数据流速率.如图 2 所示,高速采集板卡采集的数据有存入内存或 FIFO

两种方式.本设计中将数据送入 FIFO,与 FPGA 端的 P2P FIFO 直连.

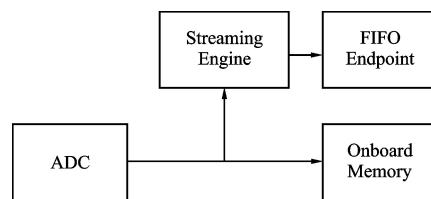


图 2 高速采集板卡的数据存储方式

FPGA 与 PC 端控制器通过 DMA 方式传输数据.PC 上装有 DMA 控制器,可用于直接在外设和计算机内存之间传送数据^[4].DMA 传输对于系统间数据的高速传输起到了重要作用.

如图 3 所示,FPGA 程序中除了与采集板卡和主机之间传递数据所需的 FIFO 开销以外,主要还有 5 个模块,分别是触发门限检测模块、预存储、触发时间记录模块、降采样和解调模块.

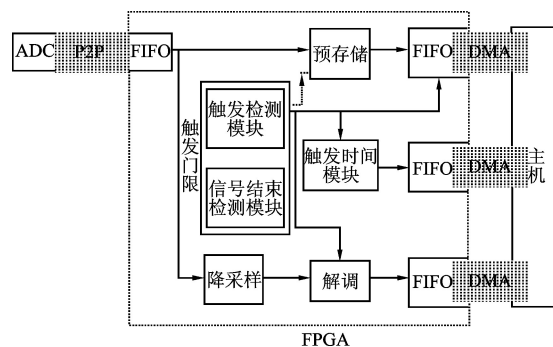


图 3 FPGA 程序结构

触发门限检测模块检测到信号的上升沿后输出高电平,并维持到整个采集过程结束.采集的结束有两种方式可选,比如判断多点幅值来检测本段信号的结束位置,或是预先设定每次采集持续的时间.每次采集之后将等待下次触发的到来.此模块的输出电平用来控制向主机传输数据的 FIFO 的写入.置高的时候写入有效.在控制信号的上升沿记录触发信号到来的时间,时间分辨率为 FPGA 的工作频率 10 ns.

为了防止噪声造成的误触发,设有预存储功能,可以在触发来之前预先存储一定量的数据点,使存储的信号完整.

FPGA 的板上时钟为 40 MHz,通过 PLL 产生 100 MHz 的 FPGA 工作时钟和解调模块需要的 33.3 MHz 时钟.将高速采样后的数据降采样后再送入解调模块.

3.1.3 信号解调在 FPGA 中的实现

本信号记录仪中对无线通信中常用的 PSK 调制信号提供了解调功能,接收到的信号经过采集板

卡后送入 FPGA 中利用科斯塔斯环完成解调。

科斯塔斯(Costas)环又称同相正交环,其环路工作频率为载波频率,远远低于平方环的工作频率,实现成本较低^[5]。

如图 4 所示,在 Costas 环环路中,误差信号通过两路低通滤波输出相乘得到。压控振荡器输出信号直接供给一路相乘器,供给另一路的则是压控振荡器的输出经 90° 移相后的信号。两路相乘后经过低通滤波和环路滤波器可以得到仅与载波相位偏差信号有关的信号。用此信号来控制压控振荡器,就可以调整输出和载波信号保持一致的相位。

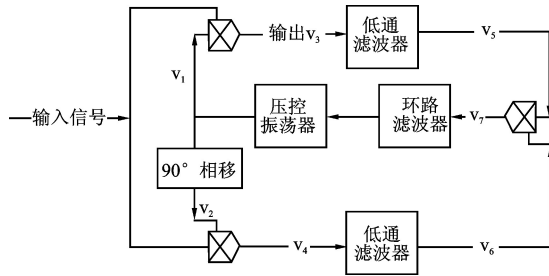


图 4 Costas 环解调原理

设输入调制信号为 $m(t)\cos\omega_c t$, 则:

$$\begin{aligned} v_3 &= m(t)\cos\omega_c t\cos(\omega_c t + \theta) \\ &= \frac{1}{2}m(t)[\cos\theta + \cos(2\omega_c t + \theta)], \\ v_4 &= m(t)\cos\omega_c t\sin(\omega_c t + \theta) \\ &= \frac{1}{2}m(t)[\sin\theta + \sin(2\omega_c t + \theta)], \end{aligned}$$

低通滤波之后,

$$v_5 = \frac{1}{2}m(t)\cos\theta,$$

$$v_6 = \frac{1}{2}m(t)\sin\theta;$$

v_5 与 v_6 相乘:

$$v_7 = v_5 v_6 = \frac{1}{8}m^2(t)\sin 2\theta.$$

式中, θ 是压控振荡器输出信号与输入信号载波之间的相位误差, 当 θ 较小时,

$$v_7 \approx \frac{1}{4}m^2(t)\theta.$$

如图 5 所示, Costas 环的 FPGA 实现主要由 4 个部分组成, 输入同步、Costas 环解调、输出滤波和时钟提取。输入同步模块对输入信号进行采样和同步, costas 环完成 PSK 解调, 输出解调后的高低电平信号, 输出滤波部分去除信号毛刺得到解调输出, 时钟提取模块根据信号跳变沿和传输速率给出数据的时钟, 外部模块在提取时钟的下降沿取数。

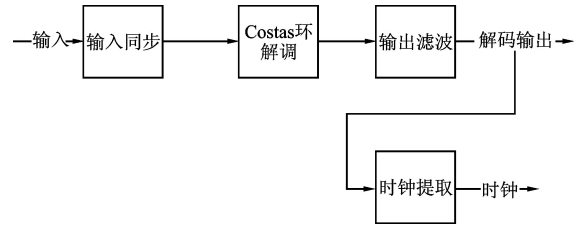


图 5 Costas 环的 FPGA 实现

3.2 软件部分

3.2.1 软件结构

控制软件主要由两个循环构成, 一个通过 LABVIEW 事件结构响应用户面板的操作, 产生对应的命令, 并将命令写入队列, 叫做命令生产者循环; 另一个则读出队列里的各个命令并执行对应操作, 是命令消费者循环。

软件结构如图 6 所示, “初始化硬件”将通过前面板上的接收机参数设置硬件, 其中包括采样率、判决电平等接收机的基本工作参数。“实时记录”使高速采集板卡和 FPGA 处于工作状态, 将触发后的信号、解调后的码和每次的触发时间从 FPGA 中取出至主机, 并且实时显示接收到的无线信号的波形。设有指示灯来反映系统的工作状态, 比如数据流中溢出造成的数据丢失情况。“索引”命令在整个实时采集过程结束后, 通过生成的 TDMS 文件调出每次触发的触发时间, 根据触发时间可以进一步调出希望观测的触发信号段; “信号质量分析”将显示索引选出的信号段的全部信息, 包括波形、对应解调后的码、触发时间、频谱和星座图等。

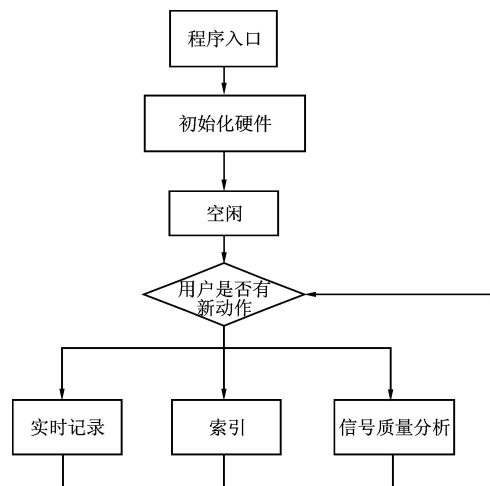


图 6 软件结构

图 7 所示为软件界面。软件界面共分为两页, 分别用于控制实时采集存储和信号后处理。结果均以

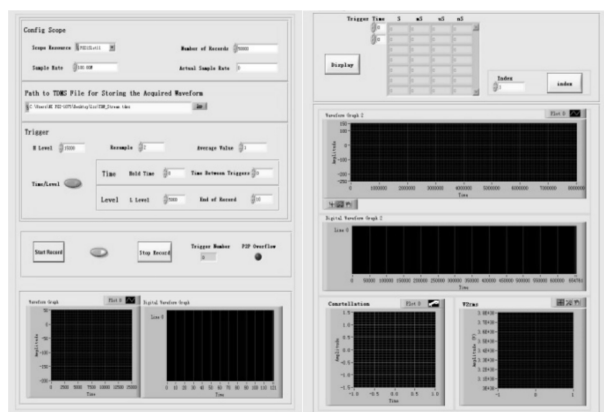


图7 软件界面

波形显示,直观方便。

3.2.2 高速数据存储

数据在经 FPGA 处理后送回主机端存储. 为了实现数据的高速流盘和后处理,需要存储速度快、文件结构清晰的文件格式,在信号记录仪中采用 TDMS 格式组织数据。

TDMS 格式是二进制文件,与一般的文本式文件相比,二进制文件通常比较小而且读写比较快. 它一般包含两种类型的信息:采集的数据阵列,通常称为批量数据传送;还有设置条件,通常称为元数据. TDMS 文件总是将批量数据存储在单个一维阵列中,即通道;将元数据存储为纯量名值对,即属性. 它们可关联至三个层次:文件、通道组、通道,层次十分清楚。

实时记录过程写完 TDMS 文件之后,硬盘上会有两个文件生成,一个是. TDMS,另一个是. TDMS_INDEX 文件,前者是主文件或者数据文件,而后者是索引文件. 索引可以加快文件后处理时读的速度;并且能够支持随机读取文件数据,使得其他软件搜索 TDMS 文件的功能加快. 方便用户将此文件导入其他软件进行处理,比如 EXCEL 和 MATLAB。

在本系统中,整个数据记录过程将会在指定目录下生成两个文件,主文件有 3 个通道,分别记录原始波形、解调后的码和触发时间点. 文件的组织清晰明确。

3.3 系统的扩展

本系统具有扩展容易,性能灵活的优势. 硬件不需要改变,只通过修改软件就可以实现更多功能,可以快速应对用户的新需求,提高了设备的利用率。

在已有系统的基础上,将添加更多信号分析工具以及常见信号调制方式的解调,比如 FSK 信号和 ASK 信号,使其可以实现对于各种无线信号的

监测。

4 测试结果

本文中主要介绍了以虚拟仪器概念为基础,结合微电子技术和计算机技术的,基于软件无线电的无线信号记录仪. 本仪器可用于无线通信设备的测试。

在测试中,使用中心频率为 9 MHz、码率 564 kbit 的 BPSK 调制信号. 图 8 所示为部分软件界面,分别显示了历次触发的时间,以及根据索引调出的某次触发后记录下的波形和对应波段解调后的部分码. 图 9 所示为该段波形在后处理时经数字下变频为 IQ 两路后的波形。

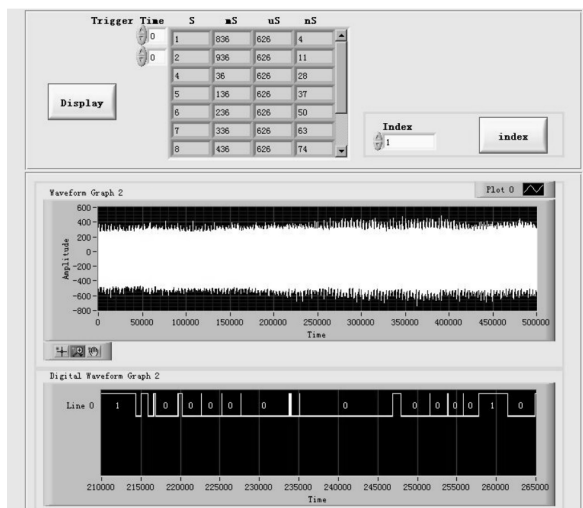


图8 时间显示与索引

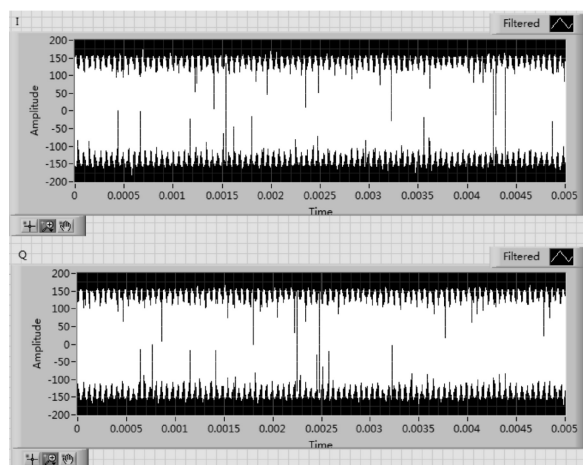


图9 数字下变频后的波形

分别使用两个信源发出上述信号进行测试,信源 1 的测试结果如图 10、11 所示,信源 2 的测试结果如图 12、13 所示。

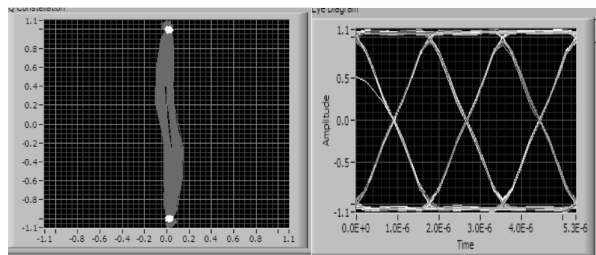


图 10 信源 1 星座图与眼图

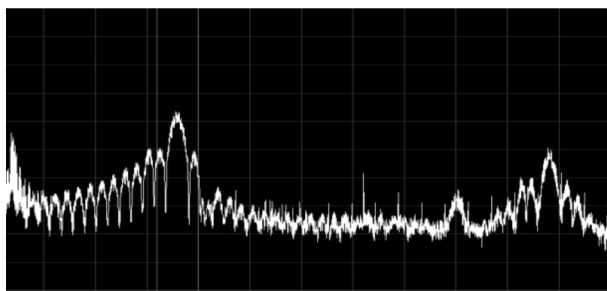


图 11 信源 1 频谱

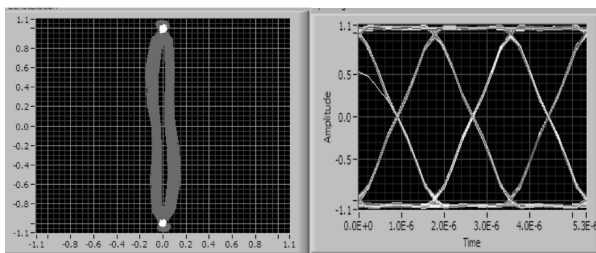


图 12 信源 2 星座图与眼图

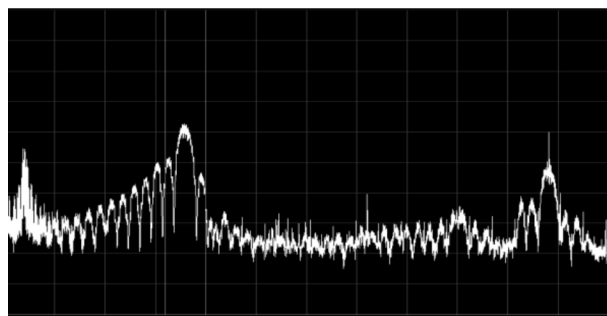


图 13 信源 2 频谱

如图 10~13 所示,两个信源的工作状态都较好,但是信号在 1 MHz 附近有较大干扰。

5 结束语

测试结果表明,系统整体工作正常,能够完成无线信号的长时间记录和后处理。在采样率 150 Ms/s 时连续采集和记录可达 100 ms 以上。通过系统提供的实时解调和频谱、星座图等工具可以快速了解信号的质量和信源的工作状态。

参考文献:

- [1] Pavel VNikitin, K V Seshagiri Rao. LabVIEW Based UHF RFID Tag Test and Measurement System[J]. IEEE Transactions on Industrial Electronics, 2009, 56 (7):2374-2381.
- [2] 黄现. 基于 PXI 平台的 FPGA 高速自动化测试系统设计[D]. 上海:复旦大学,2012.
- [3] 李佳琦,李健,党相甫,等. 基于固态硬盘的闪存阵列并行结构设计[J]. 微电子学与计算机,2010,27(4):86-88,94.
- [4] 徐欣,周舟,李楠,等. 基于 FPGA 的 PXIe 总线 DMA 设计与实现[J]. 微处理器,2010,8(4):12-14.
- [5] 苏洲,冯全源,俞卫中. 基于 FPGA 的全数字 Costas 环的设计与实现[J]. 微电子学与计算机,2013,30(4):78-83.

作者简介:



李佐昭 女,(1989-),硕士. 研究方向为射频频定位系统. E-mail: emmalzz@163.com.



张春 男,(1972-),副教授. 研究方向为 RFID 技术、高速实时信号处理.



谢拓 男,(1990-),博士. 研究方向为射频频定位技术.



王志华 男,(1960-),教授. 集成电路和系统的设计方法学、高速实时信号处理. 用于医疗和通信的低功耗模拟与射频集成电路设计.